

# 대용량 LDMOS의 대신호 Modeling에 관한연구

남중진, 양영구, 이재혁, 김성우, 우영윤, 김범만

포항공과대학교 전자전기공학과 및 전자파특화연구센터

## A Study on the Large Signal model of High Power LDMOS

Joongjin Nam, youngoo Yang, Jachyok Yi,

Sungwoo Kim, Youngyun Woo, Bumman Kim

Dept. of Electronic & Electrical Eng.and Microwave Application Research Center

Pohang University of Science and Technology,

### 요약

self-heating effect을 포함한 고출력 LDMOS의 대신호 등가모형을 구현하였다. 고출력 소자들은 입·출력 임피던스가 매우 낮기때문에, S-parameter측정시 광대역 임피던스 변환기를 사용하여 측정하였다. 주된 비선형요소인 드레인-소스 전류( $I_{ds}$ )는 4개의 다른 온도에서 DCIV를 측정하여 모델링하였다.

### 1. 서론

1.8GHz에서 2.4GHz주파수영역에서 운용되는 개인 휴대통신은 전세계적으로 급속도로 발전하고 있다. 이런 개인휴대통신의 기지국에 사용되는 전력증폭기는 고전력이고, 선형성이 우수한 소자를 필요로한다. 실리콘 LDMOS(Laterally Diffused Metal Oxide Semiconductor)의 기술적인 진보는 이러한 요구를 충족시키고 있다.[1]

Harmonic Balance 시뮬레이터를 이용한 능동 초고주파 회로설계를 위해서는, 초고주파회로의 비선형성을 예측하고, 성능을 향상시키기 위해서는 비선형 능동소자의 정확한 모델을 필요로한다.

이 논문에서는 self-heating effect을 고려한 고출력 LDMOS의 대신호 등가 모델 구현하였다. 이번 실험에 사용된 소자는 모토롤라사의 MRF21030이다.

일반적으로 고전력 소자들은 입·출력 임피던스가 낮기 때문에, S-parameter 측정시 광대역 임피던스 변환기를 이용하여 측정하여, 본 논문에서는 광대역으로 설계하기 위해서 3단으로 변환기를 설

계하였다.

비선형 캐패시턴스인  $C_{gs}$ ,  $C_{ds}$ ,  $C_{dg}$ 는 여러 바이어스 점에서 측정된 S-parameter에서 추출하여,  $V_{ds}$ 와  $V_{gs}$ 의 함수로 모델링하였다.

주된 비선형 요소인 드레인-소스 전류( $I_{ds}$ )는 4개의 다른 온도에서 DCIV를 측정해서, 온도 및  $V_{ds}$ ,  $V_{gs}$ 에 관한 함수로 모델링하였다. 대신호 등가모형을 구현한 후, 측정데이터와 비교하여 대신호 등가 모델을 검증하였다.

### 2. LDMOS의 내부구조 및 등가모델.

그림1은 이번 모델구현에 사용된 소자의 내부구조이다. 그림에서 보듯이 소자를 중심으로 캐패시터와 본딩선(bonding wires)등으로 소자내부에 내부배선회로가 연결되었다.

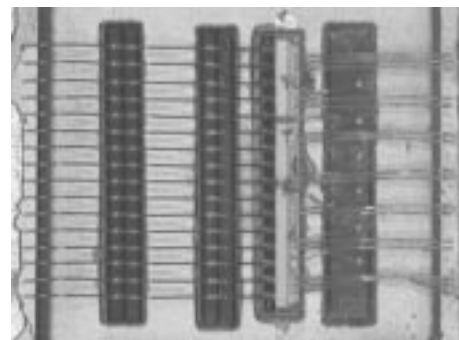


그림 1 MRF21030(LDMOS)의 내부구조 사진

게이트쪽에는 2개의 캐패시터와 본딩선으로, 드레

인쪽은 1개의 캐패시터와 분당선으로 연결하였다. 실리콘 LDMOS소자의 대신호등가모델은 여러개의 선형성분과 바이어스에 따라 변화하는 비선형 캐패시턴스(Cgs,Cds,Cdg) 및 비선형 채널전류원(Ids) 등으로 구성되어진다.[3,4,5]

그림2는 MRF21030의 대신호 등가모델이다.소자의 대신호 모델과 내부 배칭회로 및 패키지에 의한 기생성분등을 고려하여 등가모델을 완성하였다.

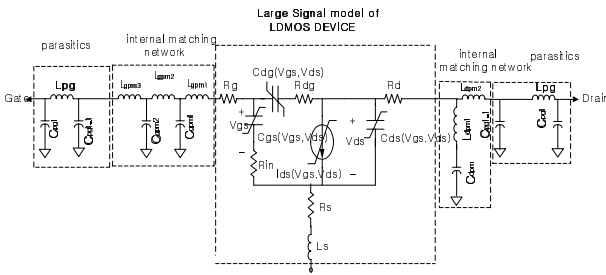


그림 2 MRF21030의 대신호 등가모델

### 3. S-parameter 측정 및 선형성분 추출

측정에 사용된 MRF21030은 입·출력 임피던스가 매우 낮아 벡터 네트워크로 직접 측정할 경우, 스미스 차트의 아주 바깥쪽(|Γ|>0.9)에 위치하여 측정이 정확하게 되지 않거나, 발진할 가능성이 있다. 이런 문제를 해결하기 위하여 소자의 입·출력 포트에 광대역 임피던스 변환기를 설계하였다. 임피던스 변환기는 λ/4 전송선로를 이용하여 원하는 임피던스로 변환한다. 즉, 기지의 임피던스를 Z1, 변환하고자하는 임피던스를 Z2라하면, λ/4 전송선로의 임피던스 Z0는 다음과 같다.[6]

$$Z0 = \sqrt{Z1 * Z2} \quad (1)$$

λ/4그림3은 설계한 임피던스 변환기의 구조 및 특성을 나타낸 것이다. λ/4의 1단으로 구성하면, 변환기의 대역폭이 협대역으로 S-parameter 측정에 사용할 수 없으므로, 광대역으로 만들기 위해 3단으로 구성하였다. 그림3은 측정에 사용한 임피던스 변환기의 구조 및 특성이다. 임피던스 변환기는



그림 3 (a) 변환기 구조

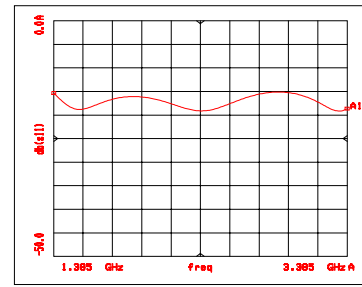


그림 3(b) 변환기 특성

그림3 변환기 구조 및 특성

2.385GHz에서 λ/4전송선로를 이용하여 5Ω을 15Ω으로 변환하고, 두번째 단에서 25Ω으로 마지막 단에서 50Ω으로 변환하도록 설계한 후,최적화를 통해 1.385GHz~3.385GHz대역에서 리턴손실이 15dB이상 되도록 설계하였다.

S-parameter측정은 임피던스 변환기를 포함하여 측정후, 임피던스 변환기의 값을 deembedding하여 소자 만의 S-parameter 값을 구하였다. [2] 그림4는 Vgs=3.87, Vds=28V일때의 변환기를 deembedding한 소자만의 S-parameter값이다.

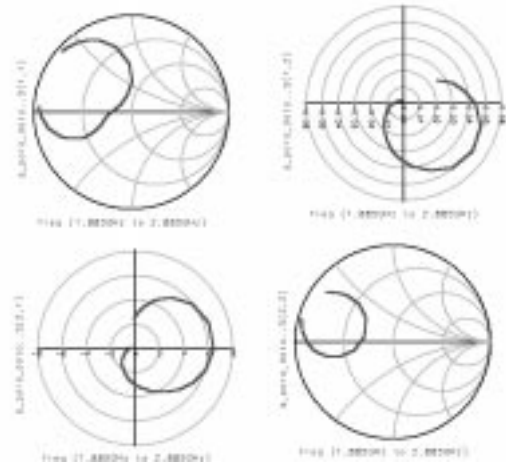


그림4 Vgs=3.87,Vds=28V의 S\_parameter

그림5는 LDMOS소자의 소신호 등가모델이다.

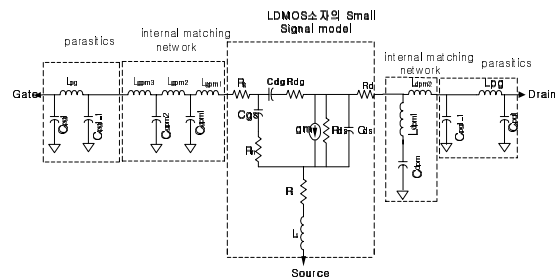


그림 5 MRF21030의 소신호 등가모델

소자의 선형요소성분(Rin, Rdg,Rd,Rg,Rs)와 내부 배칭회로(Lgpm1, Lgpm2, Lgpm3, Cgpm1, Cgpm2,

Ldpm1, Ldpm2, Cdpm1) 및 패키지 기생성분 (Cpg1\_1, Cpg1, Lpg) 등을 추출하기 위해서, 다른 bias 점에서 측정된 3개의 S-parameter을 이용하여 추출한다. 측정된 3개의 bias 점들은 Vds가 큰 sub-threshold 영역과, on-bias 점, Vgs가 커고, Vds가 작은 영역의 bias 점이다. 이 점들은 서로 다른 동작영역에 있기 때문에 매우 다른 s-parameter을 가진다. 이런 선형요소 및 배칭성분과 패키지 성분들은 bias점에 상관없이 일정한 값들이고, gm과 Rds, 비선형 캐패시터(Cgs,Cdg,Cds) 등은 bias점에 변화하는 값들이다. 이렇게하여, 추출한 값이 표1이다.

Rin	8.50E-02	OHM		
Rdg	7.70E-01	OHM	Lgpm1	0.13 nH
			Lgpm2	0.4 nH
Cpg1_1	1.30E-01	pF	Lgpm3	0.48 nH
Cpg1	1.10E-02	pF	Cgpm1	23.789 pF
Lpg	1.60E-01	nH	Cgpm2	15.162 pF
Rg	6.60E-01	OHM	Ldpm1	0.27 nH
Rs	1.40E-02	OHM	Ldpm2	0.44 nH
Rd	1.20E-01	OHM	Cdpm	57.79 pF
Is	2.00E-03	nH		

표1 선형요소 및 내부 배칭회로성분 값

바이어스에 독립적인 값들을 추출한 후, 이 값을 이용하여, 측정된 모든 바이어스점에서, S-parameter을 소신호등가모델에 맞추므로써, 바이어스에 의존하는 비선형 캐패시터를 추출한다.

### 3. 비선형 캐패시턴스 모델.

소신호 모델링에서 추출한 3개의 비선형캐패시턴스 즉, Cgs, Cds, Cdg는 내부 바이어스 조건에 따라서 변화한다. 비선형 캐패시터는 Vgs와 Vds에 관한 함수로 다음과 같이 모델링하였다.

$$C_{gs}(v_{gs}, v_{ds}) = (b_0 + b_1 * \tanh(b_2 * v_{ds} + b_4 * v_{gs}) + b_3 * v_{gs}^2 + b_5 * v_{gs}) * 1e-12 \quad (2)$$

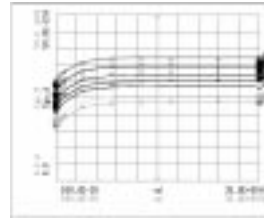
$$C_{ds}(v_{gs}, v_{ds}) = (d_0 + ((d_1 * v_{gs} + d_2 * v_{gs}^2) * \exp(d_3 + d_4 * v_{ds})) * 1e-12 \quad (3)$$

$$C_{dg}(v_{gs}, v_{ds}) = (y_0 + (y_1 * v_{gs} + y_2) * \exp(y_3 + y_4 * v_{ds})) * 1e-12 \quad (4)$$

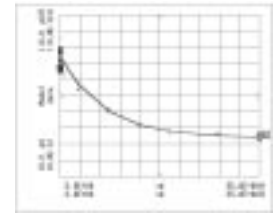
표2는 위식의 파라미터 값들이다. 그림6은 비선형 캐패시터의 추출된 데이터와 modeling한 데이터를 나타낸 것이다.

Cgs_parameter		Cdg_parameter		Cds_parameter	
parameter	value	parameter	value	parameter	value
b0	-74.06	d0	33.87	y0	0.9028
b1	-12.17	d1	99.94	y1	7.422
b2	-0.23	d2	-12.58	y2	-14.7742
b3	-2.05	d3	-1.083	y3	-0.4633
b4	-7.30E-02	d4	-0.14	y4	-0.26
b5	31.28				

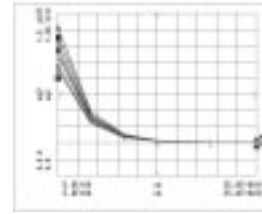
표2. 비선형 캐패시터 모델의 파라미터 값들



(a) Cgs fitting



(b) Cds fitting



(c) Cdg fitting

그림6. 비선형 캐패시턴스 fitting 결과

### 4. 채널 전류 모델.

대신호 등가 모델에 있어서, 채널 전류 Ids는 소자의 주된 비선형 요소로서 매우 중요한 구성요소이다. 채널전류는 온도의 변화에 따른 채널전류의 파라미터 값을 얻기 위해서 4개의 서로다른 환경 온도에서 DCIV를 측정하였다. 모델에 사용된 채널 전류 모델은 다음과 같다. [7]

$$I_{ds} = \beta * (V_{gm} + \ln(2 * \cosh(V_{gm}))) * \tanh(\alpha * V_{ds}) * (1 + \lambda * V_{ds}) \quad (5)$$

$$V_{gm} = A * (1 - 1 / (V_{gm1} \wedge V_{gm} \exp)) - C$$

$$V_{gm1} = \epsilon + 0.5 * (\tanh((1 + \theta * (V_{gs} - V_T))) + 1) * \text{abs}(\theta * (V_{gs} - V_T))$$

여기서,  $\beta$ 는 온도에 따라 변화하는 전달 컨덕턴스 계수,  $V_T$ 는 임계 전압,  $\lambda$ 는 채널 길이 의 모델레이션 파라미터,  $\alpha$ 는 전류 포화 파라미터이다.

위식에서  $\alpha, \beta, V_T$ 는 온도에 따라서, 변화하는 성분임으로 다음과 같은 온도에 관한 함수로 나타낼 수 있다.

$$\begin{aligned}
V_T &= V_{T0} + \alpha_T \Delta T_j + V_{T1} V_{ds} & (6) \\
\alpha &= \alpha_0 + \alpha_T \Delta T_j & (7) \\
\beta &= \beta_0 + \beta_T \Delta T_j & (8) \\
\Delta T_j &= R_{th} P_{diss} + (T_a - T_0) & (9) \\
P_{diss} &= I_{ds} V_{ds} & (10)
\end{aligned}$$

위식에서  $\Delta T_j$ 는 소자의 접합면에서의 온도변화,  $R_{th}$ 는 소자의 온도저항( $^{\circ}C/W$ )이다. 위식을 이용하여 측정된 채널 전류를 모델링하였다. 표3은 위식들의 Parameter 값들이다.

VT1	2.009E-3	VT0	3.41
A	5.24	VT_T	3.0E-3
C	3.99258	$\alpha_0$	2.2257
$\lambda$	8.5E-3	$\alpha_T$	-8.7E-3
Vgmexp	0.6752	$\beta_0$	-1.9E-2
$\theta$	2.30	$\beta_T$	-1.9E-2
$\epsilon$	1E-3	Rth	2.0

표3. 채널전류 모델의 파라미터 값들.

그림7은 온도에 따라 측정된 채널 전류와 fitting 결과를 나타낸다.

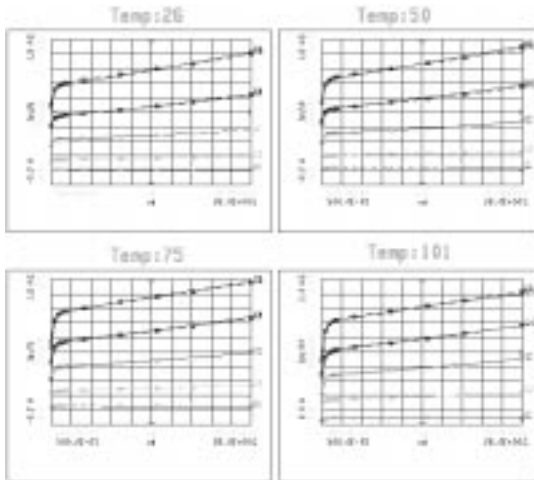


그림7. 채널전류 측정 데이터 및 fitting 결과

## 5. 대신호 등가모델 검증.

추출한 선형성분, 내부 배정회로 요소값과 비선형 캐피시터 모델과 채널 전류 모델들을 IIP사의 회로 시뮬레이터(MDS)의 SDD(symbolic Defined Device)을 이용하여 전체대신호 모델을 구현하였다.

그림8은 구현한 대신호 등가 모델과 측정데이터를 비교검증한 것이다. 그림8(a)는  $V_{ds}=28V$ ,  $V_{gs}=3.87V$ 에서 모델과 측정데이터의 S-parameter를 비교한 것이고, 그림8(b)는 각 바이어스점에서의

power dissipation에 의한 온도변화를 제거한 후의 채널 전류이다.

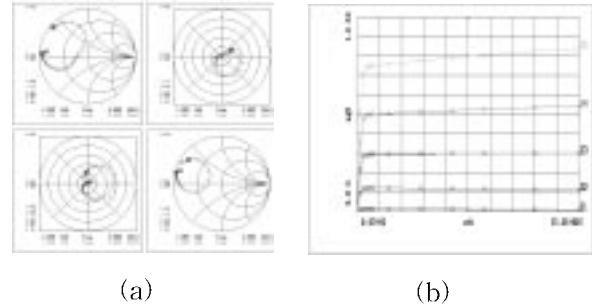


그림8.(a) $V_{ds}=28V, V_{gs}=3.87V$ 에서의 소신호 비교  
(b) Power dissipation을 제거한 채널 전류.

## 4. 결론.

self-heating effect을 고려한 고출력 LDMOS의 대신호 등가 모델을 구현하였다. 고출력 소자는 임피던스가 아주 낮아 S-parameter 측정시 광대역 임피던스 변환회로를 첨가하여 측정하였고, S-parameter의 값의 차이가 큰 3개의 바이어스점을 택하여 바이어스에 따라 변화하지 않는 선형성분 및 내부 배정회로성분, 기생성분을 추출한후, 모든 바이어스 점에서 비선형 캐피시터( $C_{gs}, C_{ds}, C_{gs}$ )를 추출하여 모델링하였다. 4개의 다른 온도에서 DCIV를 측정하여 채널 전류를 모델링하였다. 대신호 등가모델의 시뮬레이션과 측정된 S-parameter가 잘 일치하였다.

## 참고 문헌

- [1] Wood Alen, Waren Brakensi, Chris Dragon, and Wayne Burger, "120Watt, 2GHz, Si LDMOS RF Power Transistor for PCS base station Application," IEEE MTT-S Dig., pp.707-710,1998.
- [2] Jean Jacques Bouny, " Impedance measurement for High Power RF Transistor Using The TRL Method," Microwave Journal, pp33-88, Oct. 1999.
- [3] W.R. Curtice, J.A. Pla, D. Briges, T Lian, and E.E. Shumate, "A New Electro-Thermal Nonlinear Model For silicon RF LDMOS FETs," IEEE MTT-S Dig., pp.419-422, 1999.

- [4] Robert Sung, Peter Bendix, and Mukunda B. Das, "Extraction of High-frequency Equivalent Circuit Parameters of Submicron Gate-Length MOSFET's," IEEE Trans. on Electron Devices, vol.45, No.8, pp.1769-1775, Aug.1998.
- [5] Tao Liang, Jaime A. Pla, Peter H. Aaen, and Mali Mahalingam, "Equivalent-circuit Modeling and Verification of Metal-Ceramic Packages for RF and Microwave Power Transistors," IEEE Trans. on MTT, vol.47, No.6, pp.709-714, June 1999.
- [6] David M. Pozar, "Microwave Engineering," Addison Wesley, 1990.
- [7] Youngoo Yang, Jaehyok Yi, Bumman Kim, and Myungkyu Park. " An Accurate Large Signal Model of Silicon RF LDMOSFET's," 한국전자파 학회 종합학술대회 논문집. vol.9 No.1, pp.389-393 Nov. 1999.